

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-200547

(43)Date of publication of application : 15.07.2004

(51)Int.Cl. H01L 23/12
H01L 21/3205
H01L 25/065
H01L 25/07
H01L 25/18
H01L 27/00

(21)Application number : 2002-369393

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 20.12.2002

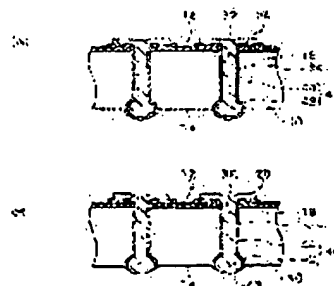
(72)Inventor : MATSUO TAKEHIDE

(54) SEMICONDUCTOR CHIP, SEMICONDUCTOR WAFER, SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME, AND CIRCUIT BOARD AND ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To form through electrodes into shapes suitable for electrical connection in a semiconductor chip.

SOLUTION: In a first surface 12 of a semiconductor substrate 10, whereinto at least part of an integrated circuit 16 is incorporated, recesses 32 are formed, where the bottoms are wider than the openings. A second surface 14 of the semiconductor substrate 10, where conducting sections 40 are provided in the recesses 32 with their ends 42 fit into the bottoms of the recesses 32, is scraped for the exposure of at least part of the ends 42 of the conducting sections 40 out of the second surface 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

Searching PAJ

2/2 ページ

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

JP 2004-200547 A 2004.7.15

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200547

(P2004-200547A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H01L 23/12	H01L 23/12 501P	5F033
H01L 21/3205	H01L 27/00 301B	
H01L 25/085	H01L 25/08 Z	
H01L 25/07	H01L 21/88 J	
H01L 25/18		

審査請求 未請求 請求項の数 21 O L (全 14 頁) 最終頁に続く

(21) 出願番号	特願2002-369393 (P2002-369393)	(71) 出願人	000002369
(22) 出願日	平成14年12月20日 (2002.12.20)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 英千栄
		(72) 発明者	松尾 剛秀
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム (参考)	5F033 HH08 JJ11 JJ19 JJ23 JJ33
			MM30 NN05 NN07 PP27 RR04
			RR06 RR22 SS04 SS12 SS13

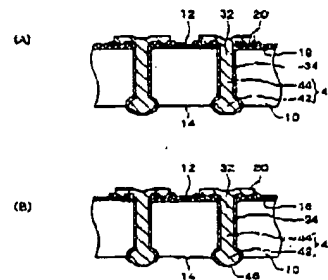
(54) 【発明の名称】 半導体チップ、半導体ウェハ、半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 本発明の目的は、貫通電極を電気的接続に適した形状に形成することにある。

【解決手段】 集積回路16の少なくとも一部が作り込まれてなる半導体基板10の第1の面12に、開口部よりも幅の広い底部を有する凹部32を形成する。凹部32に、底部に対応する先端部42を有するように導電部40を設ける半導体基板10の第2の面14を削って、導電部40の先端部42の少なくとも一部を、第2の面14から露出させる。

【選択図】 図4



(2)

JP 2004-200547 A 2004.7.15

【特許請求の範囲】

【請求項 1】

(a) 集積回路の少なくとも一部が作り込まれてなる半導体基板の第 1 の面に、開口部よりも幅の広い底部を有する凹部を形成すること、
(b) 前記凹部に、前記底部に対応する先端部を有するように、導電部を設けること、及び、
(c) 前記半導体基板の第 2 の面を削って、前記導電部の前記先端部の少なくとも一部を、前記第 2 の面から露出させること、
を含む半導体装置の製造方法。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、
前記凹部の底面を、凹曲面を有するように形成し、
前記導電部の前記先端部を、凸曲面を有するように形成し、
前記凸曲面の少なくとも一部を、前記第 2 の面から露出させる半導体装置の製造方法。

【請求項 3】

請求項 1 又は請求項 2 記載の半導体装置の製造方法において、
前記先端部の一部のみが露出するように、前記第 2 の面を削る半導体装置の製造方法。

【請求項 4】

請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法において、
前記 (a) 工程は、

(a₁) 前記半導体基板に、底面を有する縦穴を形成すること、及び、
(a₂) 前記縦穴の前記底面から、アンダカットが生じるように前記半導体基板をエッチングすること、
を含む半導体装置の製造方法。

【請求項 5】

請求項 4 記載の半導体装置の製造方法において、
前記 (a₁) 工程の後であって前記 (a₂) 工程の前に、
前記 (a₂) 工程で行うエッチングに対して前記縦穴の前記底面よりも耐性が高い膜を、
前記縦穴の内壁面に形成することをさらに含む半導体装置の製造方法。

【請求項 6】

請求項 1 から請求項 5 のいずれかに記載の半導体装置の製造方法において、
前記 (a) 工程の後であって前記 (b) 工程の前に、
前記凹部の内面に、絶縁膜を形成することをさらに含む半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、
T E O S - O₂ 系 C V D によって、前記絶縁膜を形成する半導体装置の製造方法。

【請求項 8】

請求項 1 から請求項 7 のいずれかに記載の半導体装置の製造方法において、
複数の前記半導体基板をスタックすることをさらに含み、
前記複数の半導体基板のうち、上下の半導体基板の前記導電部を電気的に接続する半導体装置の製造方法。

【請求項 9】

第 1 及び第 2 の面を有する半導体基板と、
前記半導体基板の前記第 2 の面よりも前記第 1 の面に近い位置に少なくとも一部が作り込まれてなる複数の集積回路と、
前記半導体基板の前記第 1 及び第 2 の面を貫通する複数の貫通電極と、
を有し、
それぞれの前記貫通電極は、前記第 2 の面から少なくとも一部が露出する先端部と、前記先端部から前記第 1 の面の方向に延びる延設部と、を有し、前記先端部は、前記延設部よりも幅が広くなるように形成されてなる半導体ウエハ。

(3)

JP 2004-200547 A 2004. 7. 15

【請求項 1 0】

請求項 9 記載の半導体ウエハにおいて、
それぞれの前記貫通電極の前記先端部は、凸曲面を有し、
前記凸曲面の少なくとも一部が、前記第 2 の面から露出してなる半導体ウエハ。

【請求項 1 1】

請求項 9 又は請求項 1 0 記載の半導体ウエハにおいて、
それぞれの前記貫通電極の前記先端部の一部が露出して他の一部が前記半導体基板内に配置されてなる半導体ウエハ。

【請求項 1 2】

請求項 9 から請求項 1 1 のいずれかに記載の半導体ウエハにおいて、
それぞれの前記貫通電極と前記半導体基板に形成された貫通穴の内面との間に形成された絶縁膜をさらに有する半導体ウエハ。

10

【請求項 1 3】

第 1 及び第 2 の面を有する半導体基板と、
前記半導体基板の前記第 2 の面よりも前記第 1 の面に近い位置に少なくとも一部が作り込まれてなる集積回路と、
前記半導体基板の前記第 1 及び第 2 の面を貫通する貫通電極と、
を有し、
前記貫通電極は、前記第 2 の面から少なくとも一部が露出する先端部と、前記先端部から前記第 1 の面の方向に延びる延設部と、を有し、前記先端部は、前記延設部よりも幅が広くなるように形成されてなる半導体チップ。

20

【請求項 1 4】

請求項 1 3 記載の半導体チップにおいて、
前記貫通電極の前記先端部は、凸曲面を有し、
前記凸曲面の少なくとも一部が、前記第 2 の面から露出してなる半導体チップ。

【請求項 1 5】

請求項 1 3 又は請求項 1 4 記載の半導体チップにおいて、
前記貫通電極の前記先端部の一部が露出して他の一部が前記半導体基板内に配置されてなる半導体チップ。

【請求項 1 6】

請求項 1 3 から請求項 1 5 のいずれかに記載の半導体チップにおいて、
前記貫通電極と前記半導体基板に形成された貫通穴の内面との間に形成された絶縁膜をさらに有する半導体チップ。

30

【請求項 1 7】

スタックされてなる、請求項 1 3 から請求項 1 6 のいずれかに記載の複数の半導体チップを有し、
前記複数の半導体チップのうち上下の半導体チップが、前記貫通電極によって電気的に接続されてなる半導体装置。

【請求項 1 8】

請求項 1 3 から請求項 1 6 のいずれかに記載の半導体チップが実装されてなる回路基板。

40

【請求項 1 9】

請求項 1 7 記載の半導体装置が実装されてなる回路基板。

【請求項 2 0】

請求項 1 3 から請求項 1 6 のいずれかに記載の半導体チップを有する電子機器。

【請求項 2 1】

請求項 1 7 記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体チップ、半導体ウエハ、半導体装置及びその製造方法、回路基板並びに

50

(4)

JP 2004-200547 A 2004.7.15

電子機器に関する。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開2001-44197号公報

【0004】

【発明の背景】

3次元実装形態の半導体装置が開発されている。また、3次元実装を可能にするため、半導体チップに貫通電極を形成することが知られている。貫通電極は、半導体チップから突出するように形成する。従来知られている貫通電極は、良好な電氣的接続を図ることが難しい形状であった。

【0005】

本発明の目的は、貫通電極を電氣的接続に適した形状に形成することにある。

【0006】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、(a) 集積回路の少なくとも一部が作り込まれてなる半導体基板の第1の面に、開口部よりも幅の広い底部を有する凹部を形成すること、

(b) 前記凹部に、前記底部に対応する先端部を有するように、導電部を設けること、及び、

(c) 前記半導体基板の第2の面を削って、前記導電部の前記先端部の少なくとも一部を、前記第2の面から露出させること、を含む。

本発明によれば、導電部が凹部に対応して形成されるので、その先端部の幅が広くなっており、電氣的接続に適した形状の貫通電極を形成することができる。

(2) この半導体装置の製造方法において、前記凹部の底面を、凹曲面を有するように形成し、前記導電部の前記先端部を、凸曲面を有するように形成し、前記凸曲面の少なくとも一部を、前記第2の面から露出させてもよい。

(3) この半導体装置の製造方法において、前記先端部の一部のみが露出するように、前記第2の面を削ってもよい。

(4) この半導体装置の製造方法において、

前記(a)工程は、

(a₁) 前記半導体基板に、底面を有する縦穴を形成すること、及び、

(a₂) 前記縦穴の前記底面から、アンダカットが生じるように前記半導体基板をエッチングすること、を含んでもよい。

(5) この半導体装置の製造方法は、

前記(a₁)工程の後であって前記(a₂)工程の前に、

前記(a₂)工程で行うエッチングに対して前記縦穴の前記底面よりも耐性が高い膜を、前記縦穴の内壁面に形成することをさらに含んでもよい。

(6) この半導体装置の製造方法は、

前記(a)工程の後であって前記(b)工程の前に、

前記凹部の内面に、絶縁膜を形成することをさらに含んでもよい。

(7) この半導体装置の製造方法において、

TEOS-O₃系CVDによって、前記絶縁膜を形成してもよい。

(8) この半導体装置の製造方法において、

複数の前記半導体基板をスタックすることをさらに含み、

前記複数の半導体基板のうち、上下の半導体基板の前記導電部を電氣的に接続してもよい

(5)

JP 2004-200547 A 2004.7.15

(9) 本発明に係る半導体ウエハは、第1及び第2の面を有する半導体基板と、
前記半導体基板の前記第2の面よりも前記第1の面に近い位置に少なくとも一部が作り込まれてなる複数の集積回路と、
前記半導体基板の前記第1及び第2の面を貫通する複数の貫通電極と、
を有し、

それぞれの前記貫通電極は、前記第2の面から少なくとも一部が露出する先端部と、前記先端部から前記第1の面の方向に延びる延設部と、を有し、前記先端部は、前記延設部よりも幅が広くなるように形成されてなる。

本発明によれば、貫通電極は、幅の広い先端部を有するので、電気的接続に適した形状になっている。 10

(10) この半導体ウエハにおいて、
それぞれの前記貫通電極の前記先端部は、凸曲面を有し、
前記凸曲面の少なくとも一部が、前記第2の面から露出していてもよい。

(11) この半導体ウエハにおいて、
それぞれの前記貫通電極の前記先端部の一部が露出して他の一部が前記半導体基板内に配置されていてもよい。

(12) この半導体ウエハは、
それぞれの前記貫通電極と前記半導体基板に形成された貫通穴の内面との間に形成された絶縁膜をさらに有してもよい。 20

(13) 本発明に係る半導体チップは、第1及び第2の面を有する半導体基板と、
前記半導体基板の前記第2の面よりも前記第1の面に近い位置に少なくとも一部が作り込まれてなる集積回路と、
前記半導体基板の前記第1及び第2の面を貫通する貫通電極と、
を有し、

前記貫通電極は、前記第2の面から少なくとも一部が露出する先端部と、前記先端部から前記第1の面の方向に延びる延設部と、を有し、前記先端部は、前記延設部よりも幅が広くなるように形成されてなる。

本発明によれば、貫通電極は、幅の広い先端部を有するので、電気的接続に適した形状になっている。 30

(14) この半導体チップにおいて、
前記貫通電極の前記先端部は、凸曲面を有し、
前記凸曲面の少なくとも一部が、前記第2の面から露出していてもよい。

(15) この半導体チップにおいて、
前記貫通電極の前記先端部の一部が露出して他の一部が前記半導体基板内に配置されていてもよい。

(16) この半導体チップは、
前記貫通電極と前記半導体基板に形成された貫通穴の内面との間に形成された絶縁膜をさらに有してもよい。

(17) 本発明に係る半導体装置は、スタックされてなる上記複数の半導体チップを有し、
前記複数の半導体チップのうち上下の半導体チップが、前記貫通電極によって電気的に接続されてなる。 40

本発明によれば、貫通電極は、幅の広い先端部を有するので、電気的接続に適した形状になっている。

(18) 本発明に係る回路基板は、上記半導体チップが実装されてなる。

(19) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(20) 本発明に係る電子機器は、上記半導体チップを有する。

(21) 本発明に係る電子機器は、上記半導体装置を有する。

【0007】

50

(6)

JP 2004-200547 A 2004.7.15

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

【0008】

図1(A)～図4(B)は、本発明を適用した実施の形態に係る半導体装置（又は半導体チップ・半導体ウエハ）の製造方法を説明する図である。本実施の形態では、図1(A)に示すように、半導体基板10を使用する。半導体基板10は、第1及び第2の面12、14を有する。第2の面14は、第1の面12とは反対の面である。

【0009】

半導体基板10には、集積回路（例えばトランジスタやメモリを有する回路）16の少なくとも一部（一部又は全体）が作り込まれている。半導体基板10には、複数の集積回路16のそれぞれの少なくとも一部が作り込まれていてもよいし、1つの集積回路16の少なくとも一部が作り込まれていてもよい。集積回路16は、第2の面14よりも第1の面12に近い位置に形成されている。

【0010】

半導体基板10の第1の面12には、パッシベーション膜18が形成されている。パッシベーション膜18は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。パッシベーション膜18は、集積回路16を覆うように形成されている。

【0011】

半導体基板10には、複数のパッド20が形成されている。パッド20は、集積回路16に電気的に接続されていてもよい。各パッド20は、アルミニウムで形成されていてもよい。パッド20の表面の形状は特に限定されないが矩形であることが多い。パッド20は、第2の面14よりも第1の面12に近い位置（例えば第1の面12の上方）に形成されている。パッド20は、パッシベーション膜18上に形成してもよい。パッシベーション膜18上に、パッド20と、集積回路16とパッド20を接続する配線（図示せず）とを形成してもよい。また、図示しない別のパッシベーション膜（絶縁膜）をパッド20の表面の少なくとも一部を避けて形成してもよい。

【0012】

図1(B)に示すように、半導体基板10に、その第1の面12から縦穴（又は凹部）22を形成する。縦穴22は、半導体基板10を貫通しないように、すなわち底面を有するように形成する。第1の面12は、パッド20が形成された側（集積回路16が形成された側）の面である。縦穴22は、集積回路16の素子及び配線を避けて形成する。パッド20に貫通穴24を形成してもよい。貫通穴24の形成には、エッチング（ドライエッチング又はウェットエッチング）を適用してもよい。エッチングは、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成した後にしてもよい。パッド20の下にパッシベーション膜18が形成されている場合、これにも貫通穴26を形成する。パッド20のエッチングがパッシベーション膜18で止まる場合、貫通穴26の形成には、パッド20のエッチングに使用したエッチャントを別のエッチャントに換えてもよい。その場合、再び、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成してもよい。

【0013】

貫通穴24（及び貫通穴26）と連通するように、半導体基板10に縦穴22を形成する。縦穴22は、第1の面12に対して垂直に形成されてもよいし、例えば開口から深さ方向に穴径が小さくなるように、テーパが付けられていてもよい。貫通穴24（及び貫通穴26）と縦穴22を合わせて、縦穴（又は凹部）ということもできる。縦穴22の形成にも、エッチング（ドライエッチング又はウェットエッチング）を適用することができる。エッチングは、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成した後にしてもよい。あるいは、縦穴22の形成に、レーザ（例えばCO₂レーザ、YAGレーザ等）を使用してもよい。レーザは、貫通穴24、26の形成に適用してもよい。一種類のエッチャント又はレーザによって、縦穴22及び貫通穴24、26の形成を連続して行ってもよい。縦穴22の形成には、サンドブラスト加工を適用してもよい。

(7)

JP 2004-200547 A 2004.7.15

【0014】

図1(C)に示すように、第1の面12の上方(例えば、パッシベーション膜18及びパッド20上)にレジスト28を形成してもよい。レジスト28は、後に行う工程から第1の面12及びその上方に形成された部材(例えば、パッシベーション膜18及びパッド20)を保護するために必要であれば形成する。レジスト28は、例えばエッチングに対する耐性が半導体基板10よりも高い材料で形成する。レジスト28は、縦穴22が開口するように(縦穴22を避けて)形成する。

【0015】

縦穴22内に膜30を形成する。膜30は、縦穴22の内壁面に形成する。膜30は、縦穴22の底面に形成されてもよいし、レジスト28上に形成されてもよい。膜30は、エッチングに対する耐性が半導体基板10よりも高い材料で形成してもよい。例えば、C、F₂ガスを 사용하여、炭素で又は炭素を含む材料で膜30を形成してもよい。

【0016】

図2(A)に示すように、膜30の一部を除去する。詳しくは、膜30のうち縦穴22の底面に形成された部分を除去する。すなわち、縦穴22の底面において、半導体基板10の材料を露出させる。その場合、膜30のうち縦穴22の内壁面に形成された部分が除去されないように、膜30の一部を除去する。その場合、異方性の高いエッチング(エッチング速度の方向依存性が高いエッチング)、詳しくは、垂直方向(縦穴22の深さ方向)のエッチング速度が水平方向(縦穴22の内壁面に対向する方向)よりも大きいエッチングを適用してもよい。例えば、高真空下でS₂F₆ガスを導入し、高バイアス電圧を印加して、数秒間のエッチングを行ってもよい。膜30のうちレジスト28上の部分が除去されてもよい。

【0017】

図2(B)に示すように、縦穴22の底面から、アンダカットが生じるように半導体基板10をエッチングする。詳しくは、縦穴22の底面から、下方向及び横方向にエッチングを進める。例えば、低真空下でS₂F₆ガスを導入し、低バイアス電圧を印加してエッチングを行ってもよい。縦穴22の内壁面に形成された膜30によって、縦穴22の内壁面はエッチングされなくてもよい。縦穴22の底面をエッチングして、縦穴22の開口(又は内壁面に囲まれたスペース)よりも幅(例えば直径)の広いスペースを形成する。例えば、上記工程によって、半導体基板10に、開口部よりも幅の広い底部を有する凹部32を形成する。凹部32は、その底面が凹曲面を有するように形成してもよい。図2(C)に示すように、レジスト28を除去し、膜30を除去する。

【0018】

図3(A)に示すように、凹部32の内面に、絶縁膜(電気的な絶縁膜)34を形成する。絶縁膜34は、凹部32の内側面上で1 μ m以上の厚みを有するように形成する。このように、側面に厚い膜を形成するには、TEOS-O₂系CVDを適用してもよい。TEOS-O₂系CVDは、減圧下で行ってもよいし、常圧下で行ってもよい。絶縁膜34は、400℃程度の低温下で表面反応によって形成してもよい。絶縁膜34は、アニール処理によって膜質を改善してもよい。絶縁膜34は、凹部32の底面に形成する。絶縁膜34は、凹部32の内壁面に形成する。ただし、絶縁膜34は、凹部32を埋め込まないように形成する。すなわち、凹部32が残るように絶縁膜34を形成する。また、絶縁膜34は、その形成後も、開口よりも底部が幅いという凹部32の特徴が残るように形成する。

【0019】

絶縁膜34は、パッシベーション膜18上に形成してもよい。パッド20上に絶縁膜34を形成した場合、図3(B)に示すように、パッド20の少なくとも一部を絶縁膜34から露出させる。例えば、絶縁膜34のうちパッド20上の部分を除去する。その除去には、エッチング(ドライエッチング又はウェットエッチング)を適用してもよい。エッチングは、リソグラフィ工程によってパターンニングされたレジスト(図示せず)を形成した後に行ってもよい。

(8)

JP 2004-200547 A 2004.7.15

【0020】

図3(C)に示すように、凹部32に導電部40を形成する。導電部40は、凹部32の内部形状に対応する形状を有する。凹部32の内部形状に対応する形状は、凹部32の内壁面に絶縁膜34が形成されているので、絶縁膜34の内側の形状である。導電部40は、凹部32の底部に対応する先端部42を有する。先端部42は、凹部32の底部に対応する形状を有する。凹部32の底部に対応する形状は、絶縁膜34の内側の形状である。導電部40は、先端部42から第1の面12の方向への延設部44を有する。導電部40は、第1の面12の上方(例えばパッド20上)に至るように形成してもよい。導電部40は、例えば絶縁膜34からの露出部を通じて、パッド20に電気的に接続されるように形成してもよい。複数の凹部32に設けられる導電部40は、第1の面12の上方(例えばパッド20上)で相互に接続されていてもよいし、相互に電気的に切斷されていてもよい。

10

【0021】

凹部32は、絶縁膜34の形成後も、その開口よりも底部が広いので、導電部40はこれに対応した形状になる。したがって、先端部42は、延設部44よりも幅(例えば直径)が大きくなっている。凹部32(例えば絶縁膜34の内側)の底面が凹曲面を有する場合、導電部40の先端部42は、凸曲面を有するように形成される。

【0022】

導電部40は、Cu又はWなどで形成してもよい。導電部40はバリア層を含んでもよい。バリア層は、絶縁膜34上に形成される。すなわち、バリア層は、導電部40の表面層である。バリア層は、他の材料が、半導体基板10(例えばSi)に拡散することを防止するものである。バリア層は、その上に形成される層とは異なる材料(例えばTiW、TiN)で形成してもよい。導電部40は、電解メッキで形成する場合、シード層を含んでもよい。シード層は、バリア層を形成した後に形成する。シード層は、その上に形成される層(例えばCu、W、ドーパドポリシリコン(例えば低温ポリシリコン))と同じ材料(例えばCu)で形成する。

20

【0023】

図4(A)に示すように、半導体基板10を薄型化する。詳しくは、半導体基板10の第2の面(第1の面12とは反対の面)14を削る(研削又は研磨する)。例えば、機械研磨・研削及び化学研磨・研削の少なくとも一つの方法によって、半導体基板10を削ってもよい。またはエッチングを適用してもよい。エッチングは、ドライエッチング装置を使用して行ってもよい。あるいは、エッチャントは、フッ酸及び硝酸の混合液あるいはフッ酸、硝酸及び酢酸の混合液であってもよい。なお、半導体基板10の第1の面12の側に、例えば、ガラス板、樹脂層、樹脂テープ等の補強部材を設けて(例えば接着剤又は接着シートによって貼り付けて)もよい。

30

【0024】

導電部40は、第2の面14から突出させてもよい。例えば、半導体基板(例えばSi)10に対するエッチング量が絶縁膜(例えばSiO₂)34に対するエッチング量よりも多くなる性質のエッチャントによって、第2の面14をエッチングしてもよい。エッチャントは、SF₆又はCF₄又はCl₂ガスであってもよい。これにより、絶縁膜34に覆われた状態で導電部40を第2の面14から突出させることができる。

40

【0025】

導電部40の一部(詳しくは先端部42の少なくとも一部)を第2の面14から露出させる。先端部42の一部のみを露出させてもよい。すなわち、先端部42の一部が露出して他の一部が半導体基板10内に配置されるように、第2の面14を削ってもよい。

【0026】

図4(B)に示すように、導電部40が絶縁膜34に覆われている場合、絶縁膜34を除去する。これにより、導電部40の先端部42の少なくとも一部を第2の面14から露出させることができる。また、先端部42を第2の面14から突出させることもできる。絶縁膜34は、導電部40と半導体基板10(詳しくはその貫通穴の内面)との間に介在し

50

(9)

JP 2004-200547 A 2004.7.15

ている。さらに、先端部 42 のうち第 2 の面 14 からの突出部の一部（例えば側面）を覆うように絶縁膜 34 を残してもよい。その場合、先端部 42 の先端面（例えば凸曲面）を絶縁膜 34 から露出させる。

【0027】

例えば、以上の方法によって、図 4 (B) に示すように、半導体基板 10 に導電部 40 からなる（又は導電部 40 を含む）貫通電極 46 を形成することができる。例えば、以上の工程により、貫通電極 46 を有する半導体ウエハ 50（図 5 参照）が得られる。この場合、半導体基板 10 には、複数の集積回路 16 が形成され、それぞれの集積回路 16 に対応して貫通電極 46 が形成されている。その詳しい構造は、上述した製造方法から導くことができる内容である。半導体ウエハ 50 を半導体装置ということもできる。あるいは、貫通電極 46 を有する半導体チップ 60（図 8 参照）が得られる。この場合、半導体基板 10 には、1 つの集積回路 16 が形成されている。その詳しい構造は、上述した製造方法から導くことができる内容である。半導体チップ 60 を半導体装置ということもできる。

【0028】

半導体ウエハ 50 は、切断（例えばダイシング）してもよい。例えば、図 5 に示すように、半導体ウエハ 50 を切断（例えばダイシング）する。切断には、カッタ（例えばダイサ）52 又はレーザ（例えば CO₂ レーザ、YAG レーザ等）を使用してもよい。これにより、貫通電極 46 を有する半導体チップ 60（図 8 参照）が得られる。その構造は、上述した製造方法から導くことができる内容である。

【0029】

図 6 に示すように、半導体装置の製造方法は、複数の半導体基板 10 をスタックすることを含んでもよい。各半導体基板 10 は、貫通電極 46 を有し、貫通電極 46 は、導電部 40 からなる（又は導電部 40 を含む）。スタックされた複数の半導体基板 10 のうち上下の半導体基板 10 の貫通電極 46 を電気的に接続する。例えば、貫通電極 46 同士をろう接してもよい。あるいは、電気的接続には、金属接合を適用してもよいし、異方性導電材料（異方性導電膜又は異方性導電ペースト等）を使用してもよいし、絶縁性接着剤の収縮力を利用した圧接を適用してもよいし、これらの組み合わせであってもよい。

【0030】

本実施の形態では、貫通電極 46 の先端部 42 が延設部 44 よりも幅（例えば直径）が大きくなっているため、電気的接続に適している。また、貫通電極 46 の先端部 42 の第 2 の面 14 からの突出部（例えば先端面）が凸曲面であれば、電気的な接続面積が広がる。

【0031】

スタックされた複数の半導体基板 10 の具体例として、図 7 に示すように、貫通電極 46 を有する複数の半導体ウエハ 50 をスタックしてもよい。その場合、スタックされた複数の半導体ウエハ 50 を切断してもよい。あるいは、図 8 に示すように、貫通電極 46 を有する複数の半導体チップ 60 をスタックしてもよいし、貫通電極 46 を有する半導体チップ 60 と貫通電極 46 を有する半導体ウエハ 50 をスタックしてもよい。半導体チップ 60 がスタックされた後に、半導体ウエハ 50 を切断してもよい。

【0032】

図 9 は、本発明の実施の形態に係る半導体装置（スタック型半導体装置）を示す図である。半導体装置は、上述した貫通電極 46 を有する複数の半導体チップ 60 を含む。複数の半導体チップ 60 はスタックされている。上下の貫通電極 46 は、ろう接されていてもよい。ろう接には、硬ろう・軟ろう（例えばハンダペースト）62 を使用する。硬ろう・軟ろう 62 を印刷、ディスペンス又は転写によって貫通電極 46 に供給してもよい。1 つの半導体チップ 60 をスタックするごとに、ろう接を行ってもよい。あるいは、硬ろう・軟ろう 62 を上下の貫通電極 46 間に設けた状態で、全ての半導体チップ 60 を仮マウントして、一括リフローによって、ろう接を行ってもよい。

【0033】

上下の半導体チップ 60 間に、絶縁材料（例えば接着剤・樹脂・アンダーフィル材）64

10

20

30

40

50

(10)

JP 2004-200547 A 2004.7.15

を設けてもよい。絶縁材料64によって、貫通電極46の接合状態が維持又は補強される。本実施の形態に係る半導体装置には、本実施の形態に係る半導体装置の製造方法から導くことができる内容を適用することができる。

【0034】

スタックされた複数の半導体チップ60は、配線基板70に実装されてもよい。1つの半導体チップ（スタックされた複数の半導体チップ60のうち、最も外側の半導体チップ60）は、配線基板（例えばインターポザ）70に実装してもよい。その場合、第2の面14の方向に最も外側（例えば最も下側）の貫通電極46を有する半導体チップ60が、配線基板70に実装される。例えば、貫通電極46の先端部42を配線パターン72に電気的に接続（例えば接合）してもよい。図示しない例として、貫通電極46の第1の面12からの露出部を配線パターン72に電気的に接続（例えば接合）してもよい。

【0035】

半導体チップ60と配線基板70の間には、絶縁材料（例えば接着剤・樹脂・アンダーフィル材）64を設けてもよい。配線基板70には、配線パターン72に電気的に接続された外部端子（例えばハンダボール）74が設けられている。あるいは、半導体チップ60に応力緩和層を形成し、その上にパッド20から配線パターンを形成し、その上に外部端子を形成してもよい。その他の内容は、上述した製造方法から導くことができる。

【0036】

図10には、複数の半導体チップがスタックされてなる半導体装置1が実装された回路基板1000が示されている。半導体装置1の一部は上述した半導体チップ60であるから、回路基板1000には半導体チップ60が実装されている。上述した半導体装置を有する電子機器として、図11にはノート型パーソナルコンピュータ2000が示され、図12には携帯電話3000が示されている。これらの電子機器は、半導体チップ60を有するものである。

【0037】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図1】図1（A）～図1（C）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図2】図2（A）～図2（C）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図3】図3（A）～図3（C）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図4】図4（A）～図4（B）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図5】図5は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図6】図6は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図7】図7は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図8】図8は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図9】図9は、本発明の実施の形態に係る半導体装置を示す図である。

【図10】図10は、本発明の実施の形態に係る回路基板を示す図である。

【図11】図11は、本発明の実施の形態に係る電子機器を示す図である。

【図12】図12は、本発明の実施の形態に係る電子機器を示す図である。

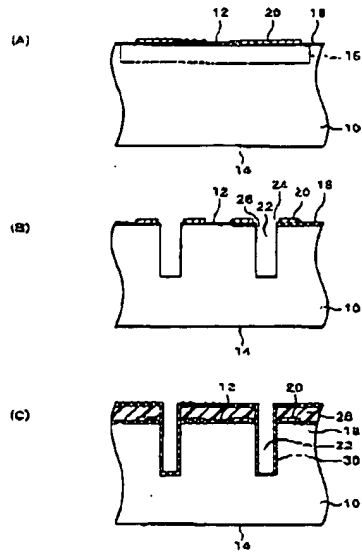
【符号の説明】

(11)

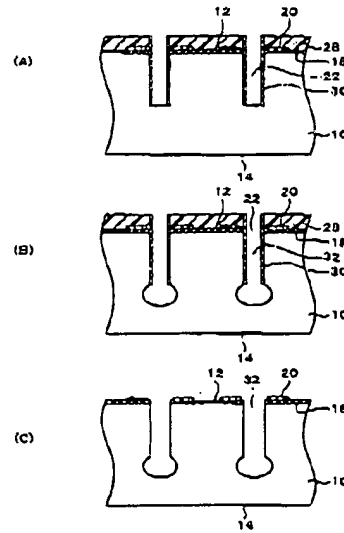
JP 2004-200547 A 2004.7.15

10 半導体基板、12 第1の面、14 第2の面、16 集積回路、22 縦穴、
30 膜、32 凹部、34 絶縁膜、40 導電部、42 先端部、44 延設部、
46 貫通電極

【図1】



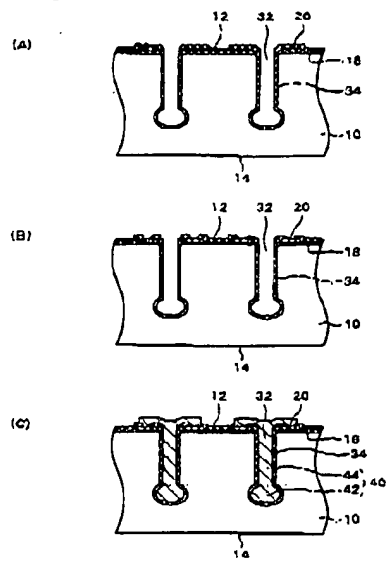
【図2】



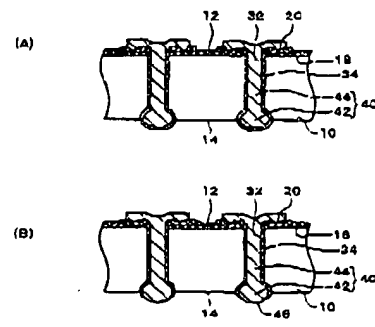
(12)

JP 2004-200547 A 2004.7.15

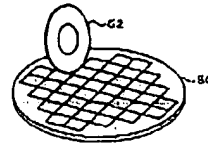
【 图 3 】



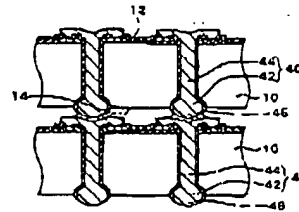
【 图 4 】



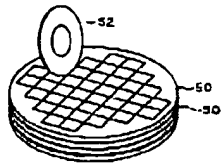
【 图 5 】



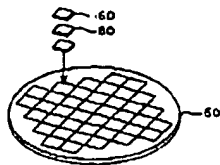
【 图 6 】



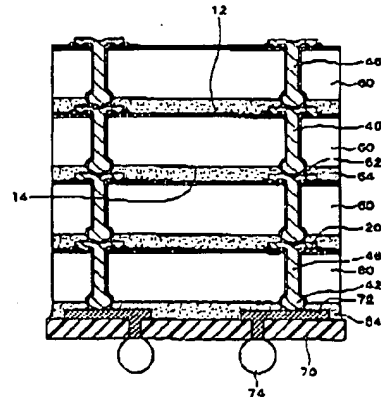
【 图 7 】



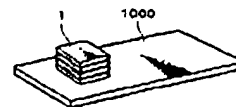
【 图 8 】



【 图 9 】



【 图 10 】



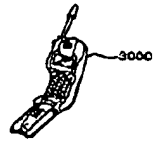
【 图 11 】



(13)

JP 2004-200547 A 2004. 7. 15

【図 1 2】



(14)

JP 2004-200547 A 2004.7.15

フロントページの続き

(51)Int. Cl.⁷

F I

デーマコード (参考)

H 0 1 L 27/00